# EXPERT

# CPU

Esta publicação contém a descrição de funcionamento dos circuitos eletrônicos que compõem um dos módulos integrantes da linha EXPERT - MSX.

Recomendamos que a leitura seja realizada em conjunto com o diagrama esquemático do referido aparelho.

Com mais esta publicação pretendemos atingir todos os técnicos de nossos postos autorizados, fazendo chegar às suas mãos informações sempre atualizadas, de forma a facilitar e aprimorar cada vez mais a assistência dada aos produtos GRADIENTE.

Sem mais,

DIVISÃO NACIONAL DE SERVIÇOS
SETOR DE TREINAMENTO

# INTRODUÇÃO

O EXPERT no padrão MSX é um microcomputador de 8 bits, com' 80K de RAM ( 64K para usuário e 16K para vídeo ) que além do processador Z-80-A, com " CLOCK " de 3,58MHz, possui dois outros processadores, de audio e de vídeo, que o torna extremamente veloz, permitindo programas mais complexos.

Os 32K de ROM do EXPERT o fazem extremamente fácil e versátil de ser programado.

Até no design o EXPERT se destaca, além da harmonia do conjunto, o projeto previu 2 SLOTS na parte frontal para cartuchos e expansões; e na parte traseira, saídas de vídeo "RGB" ( 16 cores) e monocromático, saída para impressora, saída de audio e alto falante imbutido com controle de volume.

O teclado ergonômico, separado, possui 89 teclas com 256 símbolos gráficos, operando tanto como periféricos convencionais que podem ser programados com cartuchos e cassetes, como também com disquetes de 3 1/2", 5 1/4" e até 8" .

Para explorar o segmento de games ( uma das vedetes do MSX ), foi projetado um joystick especial, com dois botões de tiro e alavanca de alta precisão, fazendo dele um aparelho versátil.

# DESCRIÇÃO DE FUNCIONAMENTO

## PLACA DIGITAL

A placa principal do uP MSX se compõem de CPU, MEMÓRIAS, I/O, CHIP-SELECT DE MEMÓRIA E I/O's, SLOT-SELECT DE MEMÓRIA, CLOCK RESET.

## CPU

A Unidade Central de Processamento é composta do CI nº 01(CPU Z-80-A) e dos CI's nº 30, 31, 32 e 33 que são amplificadores' de sinal ( BUFFER'S ) e mais as portas " AND " 38 e 51.
A função básica da CPU é o controle geral de todo o sistema.

## MEMÓRIAS

As memórias podem ser subdivididas em : memórias ROM 27256 ' ( CI nº 05 ) e memórias RAM TMS 4164 ( CI's Nºs 06 até 13 ) e mais dois CI's de controle ( CI's 22 e 23 ).
A memória ROM tem como função armazenar o programa residente' ( o basic do MSX ).
A função da memória RAM é servir como " Caderno de Rascunho " para toda a informação que entra via teclado, cassete ou outro periférico do sistema.

## I/O's

Os I/O's são compostos pelos CI's 02, 03, 04 e 54.
O CI Nº 02 é o Processador de Vídeo ( 9128 ); o CI nº 03 é o responsável pela entrada dos joysticks, entrada do som do cassete e geração de sons externos; o CI nº 04 ( 8255 ) é o responsável pela leitura de teclado, saída para o cassete, controle do relé do cassete, saída auxiliar de som e controle do ' " SLOT-SELECT "; o CI nº 54 é responsável pela saída de impressora.

## CHIP-SELECT DE MEMÓRIA E I/O

Pode se subdividir em " CHIP-SELECT " da memória ROM e " CHIP SELECT " da memória RAM; ambos os circuitos " CHIP-SELECT ", são compostos pelos CI's 36, 37 e 42 que se localizam acima ' do CI 27 ( 74LS139 ).
O CI nº 37 auxiliado pelo pino 04 do CI nº 27 faz o Chip-Select da ROM.
O CI nº 36 auxiliado pelo pino 06 do CI nº 27 faz o Chip-Select da RAM, gerando a linha $\overline{\text{M-SELECT}}$.
O " Chip-Select " de I/O é basicamente feito pelo CI nº 29 ' ( 74LS138 ), auxiliado por linhas de endereço ( A3, A4, A5 e A6 ) " I/O REQUEST " e por $\overline{\text{M1}}$ e A7 via CI 51 ( pino 03 ).

## SLOT-SELECT DE MEMÓRIA

Tem a função básica de permitir que sejam ligados mais 64K de memória no MSX, fazendo com que a CPU leia informação da ROM, RAM ou de memórias colocadas nos SLOT'S.
Esses circuitos são formados pelos CI's 39, 28 e 27 auxiliados por informações gravadas na porta A ( PAØ - PA7 ) do CI nº 04 ( 8255 ).

## CLOCK

Praticamente está dentro do I/O " Processador de Vídeo "nº 02.
O cristal é ligado diretamente nos pinos 39 e 40 e a saída do pulso de CLOCK é feita pelo mesmo CI 02 pino 37.

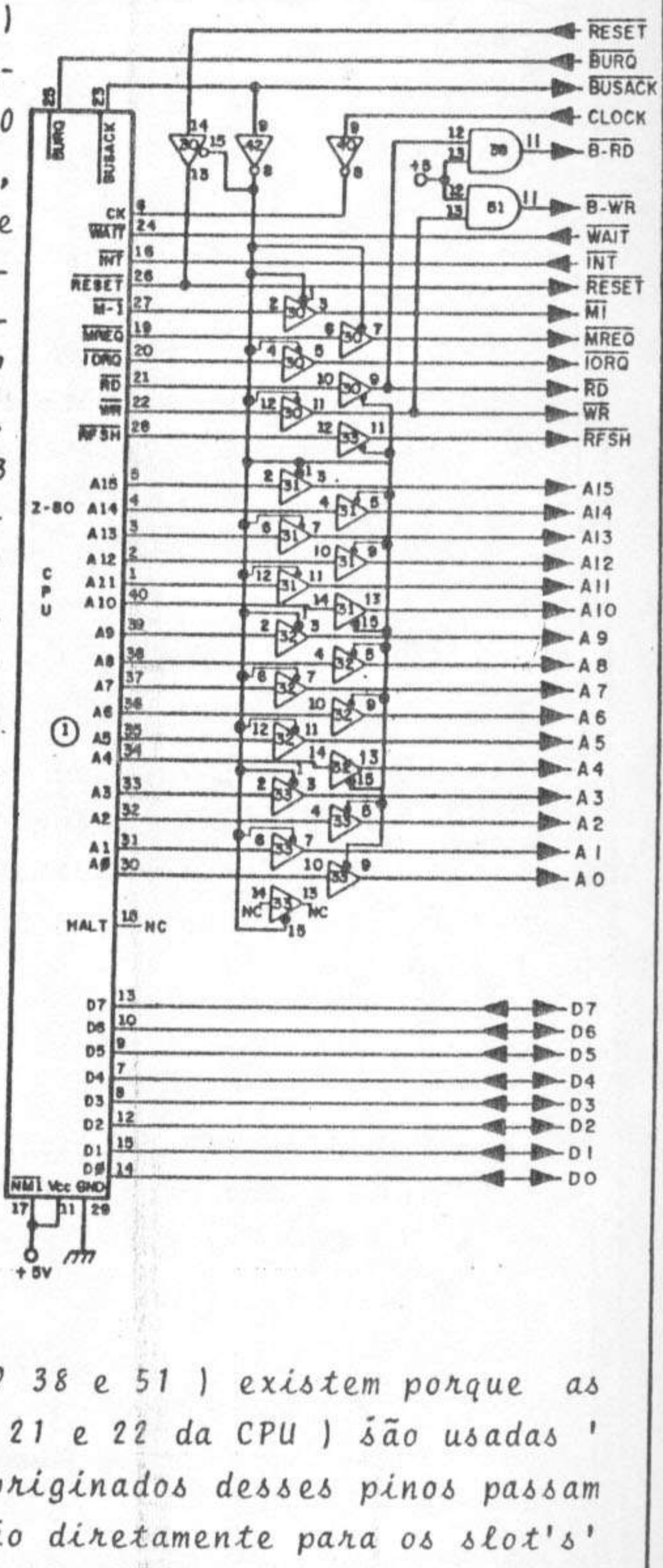
## RESET

O RESET é formado pelo capacitor C 120 e o transistor T 10, e os demais componentes juntamente com C 120 e T 10, interligados ao +5V.

## CPU " Z-80-A "

O circuito da CPU é formada pelo CI nº 01 ( que é a própria ' CPU Z-80-A ), que é encarregada do controle geral de todo o

sistema. Dela partem os barramentos de endereço ( A∅ - A15 ) barramentos de controle completo ( Linhas Memory-Request, I/O Request, Read, Write, Refresh , Wait, etc. ) e o barramento de dados ( D∅ - D7 ) que é distribuido por todos microcomputadores. Além disso, ela recebe o ' Clock do sistema e alimentação. Os CI's de nºs 30, 31, 32 e 33 são 04 CI's idênticos, compostos de buffer's amplificadores' de sinal com capacidade de TRI-STATE, o qual só será ativado ' pela linha " BUS-ACKNOLOGY " ' ( pino 23 da CPU ) e que só entra em ação se for pedido um ' " BUS-REQUEST " ( através do pino 25 da CPU ) que vem do pino 1 do conector nº 12, sendo que com essa solicitação os buffers amplificadores possam ter a sua saída em alta impedância; caso contrário o " TRI-STATE " não ' será ativado e os buffer's ficarão sempre em funcionamento normal.

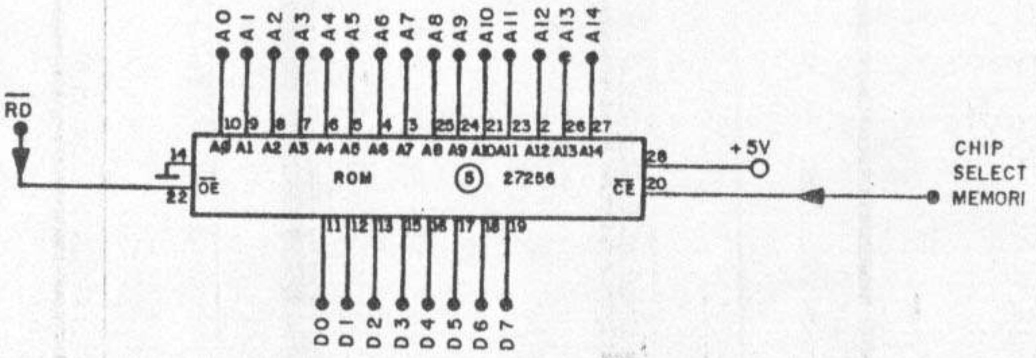



As duas portas " AND " ( CI's nº 38 e 51 ) existem porque as linhas " READ e WRITE " ( pinos 21 e 22 da CPU ) são usadas ' da seguinte maneira: os sinais originados desses pinos passam por buffer's amplificadores e vão diretamente para os slot's' de saída. Para não sobrecarregar estas linhas, estes mesmos ' sinais entram em duas portas " AND " que fornecem, através do pino 11 de ambas as linhas " B-READ e B-WRITE " ( B-$\overline{RD}$ e B-$\overline{WR}$) que são READ-Amplificado e WRITE-Amplificado. Só então estas

informações são distribuidas pela placa do sistema.

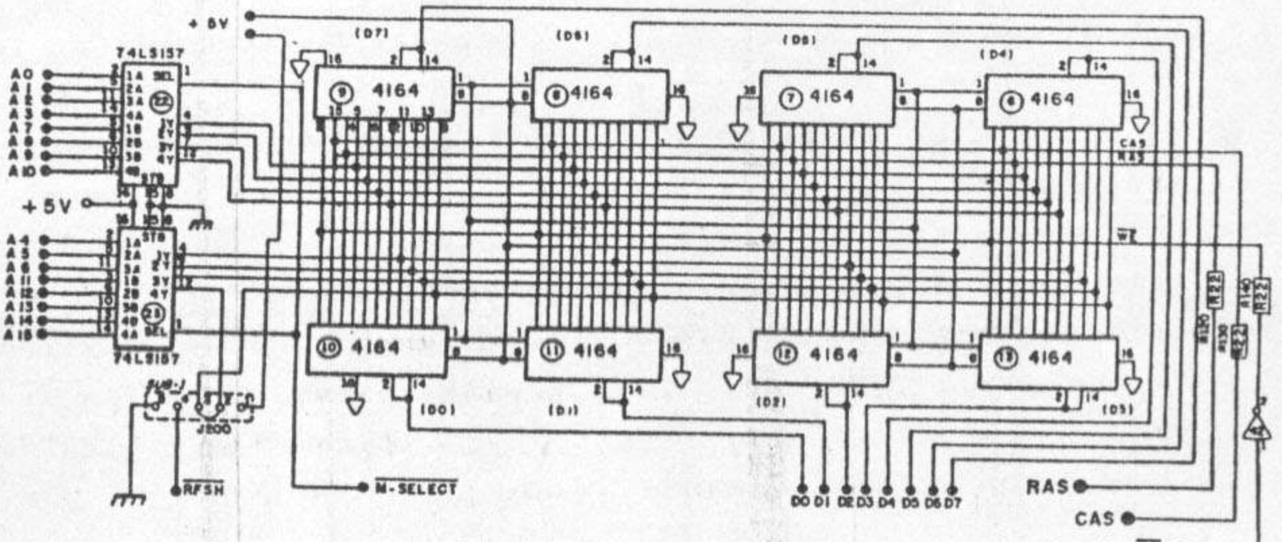
MEMÓRIAS " ROM / RAM "

As memórias ROM ( CI nº 05 ) recebe 15 linhas de endereço (A0 - A15) dada à sua capacidade de 32K, fornecem 08 linhas de dados ( D0 - D7 ) ligados no barramento de dados.




Dois pinos de " Chip-Select " controlam a ROM; um deles, o " Chip-Select " propriamente dito, é o pino 20 que vem da área de " Chip-Select de memória " que descrevemos adiante, e o outro ( pino 22 ) vem da linha " Read " e sua função é impedir que acidentalmente se tente escrever na ROM.

As memórias RAM ( CI 4164 ) correspondem aos CI's nºs 06 - 13; a sua pinagem corresponde a 08 linhas de endereço que são multiplexadas ( linhas RAS e CAS ) sendo que o RAS tem por função manter o " refresh " desta RAM sempre ativo, e o CAS com a função de possibilitar o acesso a esta RAM.



Além disso, as RAM recebem no pino 03 a linha " WRITE-ENABLE " que sai da linha B-$\overline{RED}$ da CPU, passa pelo CI 42 ( BUFFER inversor ) a qual indica se a informação vai ser escrita ou lida.

Junto ao bloco das memórias RAM, existem os CI's 22 e 23 que são dois multiplexers ( 74LS157 ); onde a função deles é (sendo comandada pelo sinal " memo-select " que vem do " chip-select de memória ") chavear 8 bits menos ou mais significativos da barra de endereços para o endereçamento das memórias RAM dinâmicas.

É bom lembrar que as memórias RAM dinânicas ( usadas no nosso sistema ) recebem os endereços em pares de informações, isto é, primeiro os 8 bits menos significativos e depois os 8 bits mais significativos.

De cada um destes CI's os pinos 2 e 14 originam 1 linha da barra de dados, portanto são necessários 8 CI's para armazenar cada " BYTE " de informação, isto é, cada CI armazena 01 dos 8 bits de cada byte.

## I/O's

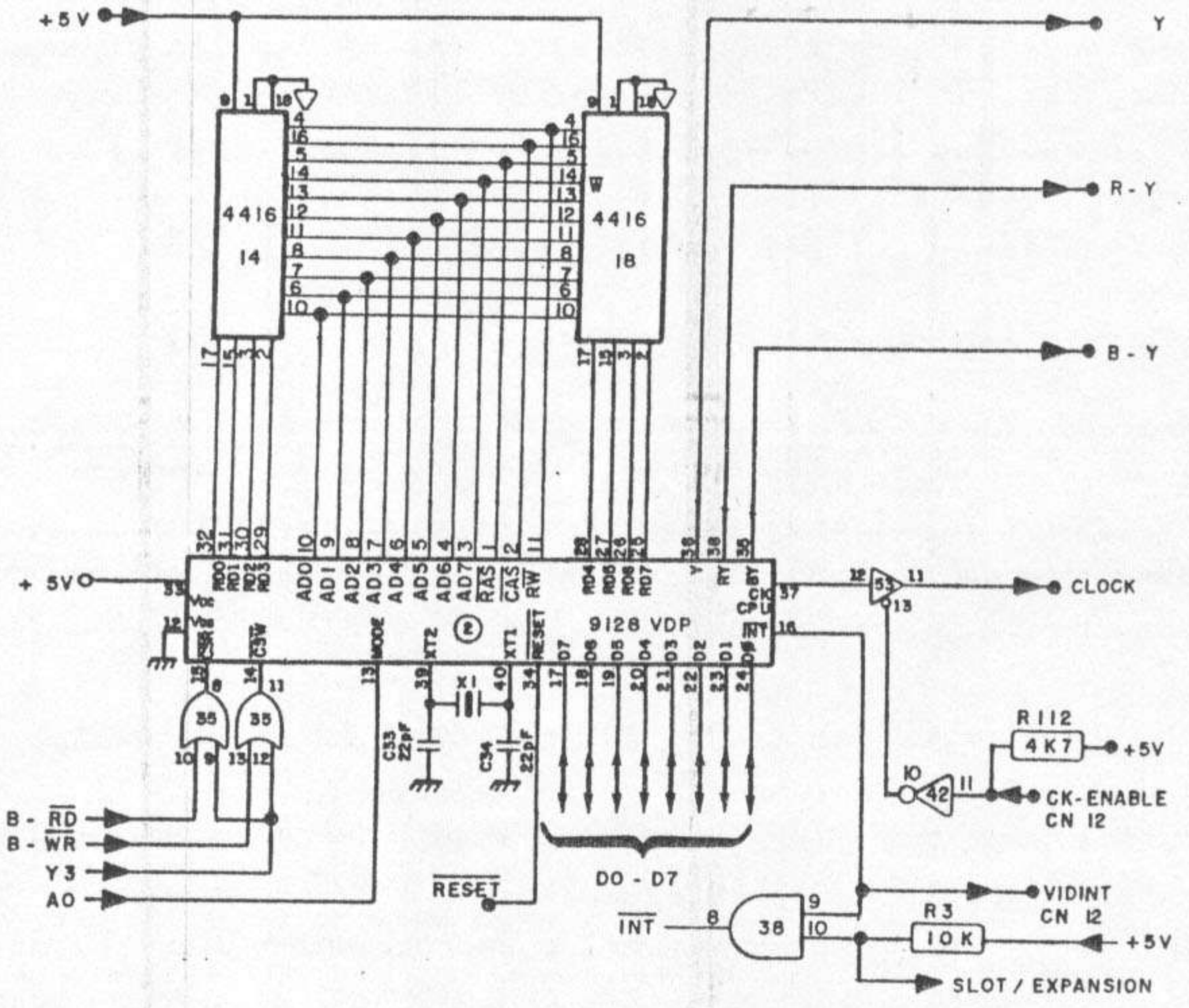
Processador de Vídeo: É o CI nº 02 ( 9128 ) que tem como entrada as linhas de barramento de dados ( D0 - D7 ), recebe o sinal " $\overline{\text{RESET}}$ " pino 34. Quando em " 0 " sincroniza o clock, os contadores ( Horizontal e Vertical ) e limpar os registradores internos.

No pino 13 recebe o sinal " MODE " que vem da linha A0 de endereços, que quando em nível lógico " 0 " permite a transferencia de dados e em nível lógico " 1 " significa a liberação para transferência de endereço.

Dois " Chip-Select ", um de leitura e outro de escrita que se originam do CI 35; a função deles é separar o sinal " chip - select " que chega nos pinos 9 e 12 em função das linhas B-$\overline{RD}$ e B-$\overline{WR}$ que chegam nos pinos 10 e 13 para formar a instrução " chip-select " de escrita ( WRITE ) e " chip-select " de leitura ( READ ), respectivamente, pinos 14 ( $\overline{CSW}$ ) e 15 ( $\overline{CSR}$ )

do CI nº 02.

Este I/O gera também as seguintes linhas para o sistema: nas linhas 39 e 40 gera o clock, com saída no pino 37, para ser ' fornecido para a CPU, através do CI nº 53 e dos demais inversores de CI nº 40.




O sinal de interrupção é gerado no fim de cada varredura ativa do display em cada 1/60 segundos, sendo enviado para o CN12 pino 4 e ao CI 38 pino 9, atingindo o pino 16 da CPU com o sinal " INT ", informando a CPU para aguardar por um instante o processamento no caso do I/O de vídeo não tiver tido tempo suficiente para terminar a comunicação com a CPU.

A função principal está concentrada; no entanto nos pinos 35 ( B-Y ), 36 ( Y ) e 38 ( R-Y ) que são saídas dos sinais (B-Y, R-Y e Y) para a placa analógica, gerando as informações de vídeo para a entrada do monitor de vídeo.

Existem dois CI's auxiliares para I/O de vídeo, nº 14 e 18 , que são duas memórias RAM dinâmicas totalmente controladas pelo CI nº 02, cuja função é armazenar o conteúdo da tela e mantê-lo à disposição do processador de vídeo; portanto, a CPU " escreve " a informação no processador de vídeo e o processador armazena essa informação na RAM e depois transcreve para o vídeo.

Essas duas RAM tem capacidade para 16K com 4 bit's de organização, isto é, 4 saídas/entradas de dados para cada uma; sendo que nos pinos 32 a 25 ( RD0 - RD7 ) para RAM de vídeo e o endereçamento é efetuado nos pinos 3 a 10 ( AD0 - AD7 ) e pinos 1 ( $\overline{RAS}$ ), 2 ( $\overline{CAS}$ ) e 11 ( R$\overline{W}$ ).

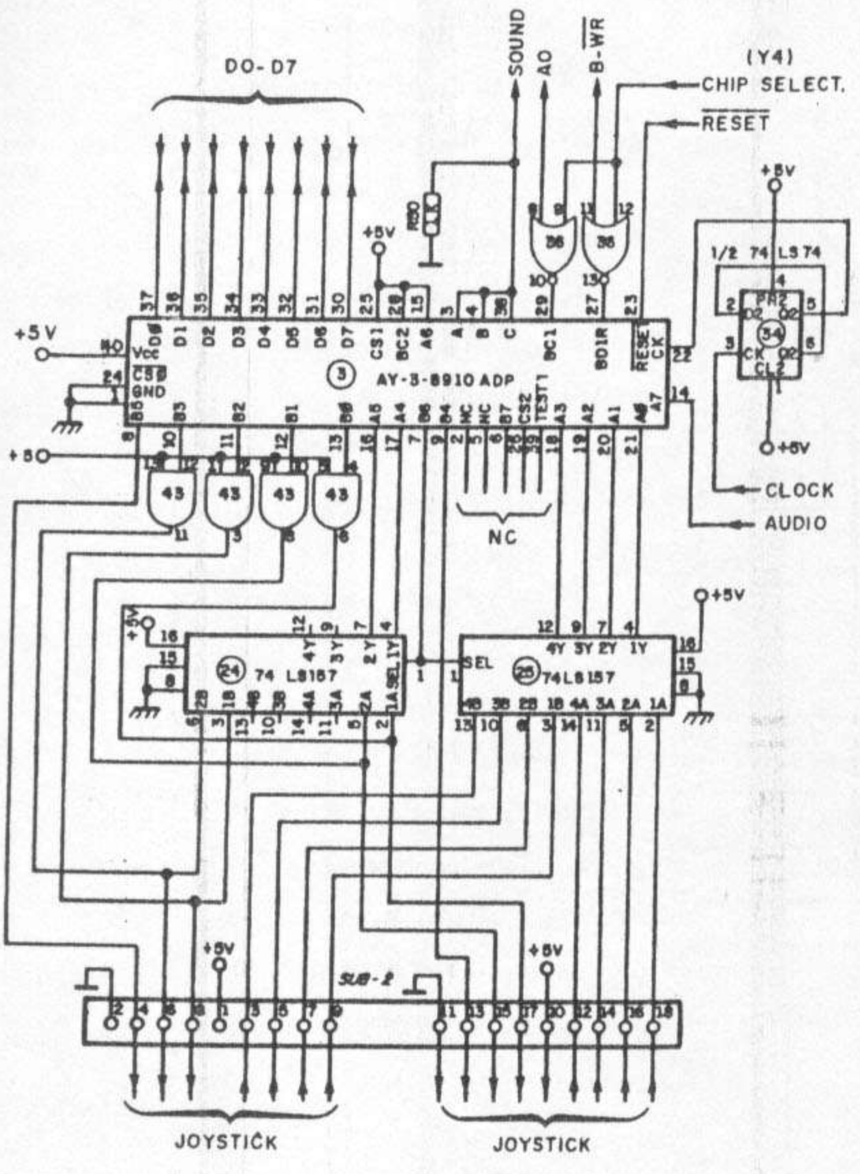
## SOM E JOYSTICK'S

É o CI nº 03 ( 8910 ) que é encarregado dessas funções, através das linhas B0, B1, B2, B3 e B5; ele gera um sistema de chaveamento de sinais que fornece informação para o CI nº 24, o qual vai fazer com que, através de duas chaves seletoras internas no CI nº 24, seja lido só um joystick por vez. A informação deste joystick entra no CI nº 25 e é fornecida para o CI nº 03 através das linhas A0, A1, A2 e A3. Além disso, outra função importante no CI nº 03, acontece no pino 14; ele recebe o sinal de audio proveniente do conector SUB-3 que por sua vez recebe o sinal do cassete.

Este CI recebe também um sinal de clock, mas por se tratar de um I/O de baixa velocidade, o clock original do sistema é dividido por 2 no FLIP-FLOP tipo D nº 34.

A função principal deste CI no entanto é gerar sons, o que acontece através das saídas A, B e C ( pinos 3, 4 e 38 ) que são simplesmente unificados e mandados através da linha SOUND para a placa analógica.

O CI nº 03 é selecionado pelo sistema, da seguinte forma: a seleção vem através das duas portas do CI nº 36 ( pinos 9 e 12 ) que recebem o sinal de " chip-select " ; também este CI recebe a linha " A0 " de endereço no pino 8 e a linha " B-$\overline{WR}$ "



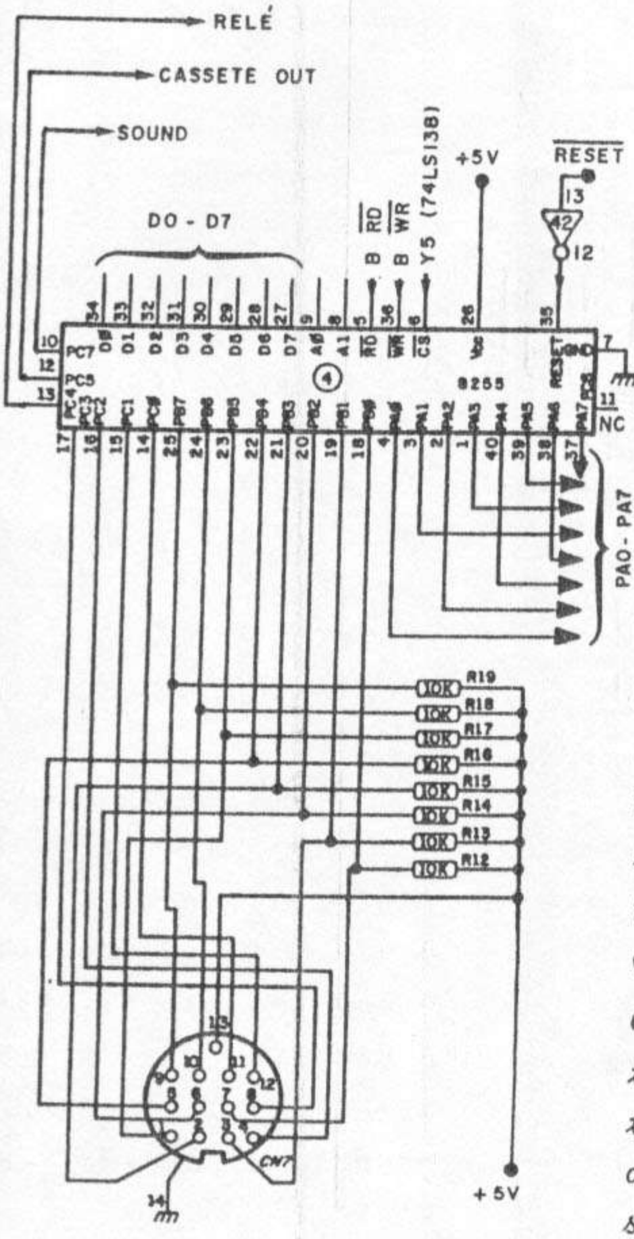

no pino 11, fazendo ' com que um dos "chip-select " seja comandado pelo sinal de escrita e o outro chip-select " seja comandado através da linha ' de endereço A0, para leitura.

As linhas de dados (' D0 - D7 ) são entradas e saídas para o CI ' nº 03 ( 8910 ) exercer a conversação com a CPU.

A seleção de um joystick por vez, que é ' feita pelo CI 24, depende das informações vindas de BØ, B1, B2' e B3, que via 4 portas ( AND ) CI 43 comandará a seleção no CI 24.

TECLADO, CONTROLE DO RELE E AUDIO CASSETE AUXILIAR DE SOM, ' SAÍDA DE COMANDO DE SLOT

O teclado tem entradas pelas portas B0 - B7 ( pinos 18 - 25 ) onde recebe as 8 linhas do teclado e faz a leitura de 8 teclas por vez; as 80 teclas do teclado são divididas em 10 grupos' de 8 . Para escolher qual grupo deve ser lido, ele usa as seguintes linhas: portas C0, C1, C2 e C3 ( pinos 14 - 17 ); com estes 4 pinos ele indica para o teclado qual o grupo a ser lido e em seguida faz a leitura através das 8 linhas da porta' B.




A linha PC 4 ( pino 13 ) é a saída que controla o relé que liga ou desliga o motor do cassete.

A linha PC5 ( pino 12 ) é a saída de som que vai gravar a informação no cassete. Ambas vão para a placa analógica via conector " SUB 3 " pinos 4 e 5.

A linha PC6 ( pino 11 ) está livre, e a linha PC7 ( pino 10 ) é um gerador auxiliar de som, que vai misturar sua informação à linha SOUND, gerada pelo CI nº 03 ( 8910 ).

Restam portanto 8 linhas na porta A, que formarão 4 grupos de 2 bits. Cada grupo de 2 bits vai indicar em qual dos slot's de 64K a CPU deverá ler uma determinada faixa de memória. Desta forma devemos dividir os 64K de memória em 4 blocos de 16K ; sendo assim, temos 4 slot's formando 16 blocos de 16K.

Cada 2 linhas da porta A consegue selecionar 4 blocos de 16K: Como nós temos 4 conjuntos de 2 linhas, temos então 16 seleções possíveis no total correspondente a cada um dos blocos de 16K.

Quanto às entradas, o CI nº 4 recebe as linhas D0-D7 das barras de dados e as linhas A0-A1 de endereços deve selecionar a informação vinda da CPU para as portas A, B, C ou para a programação interna do próprio CI nº 4 ( 8255 ).

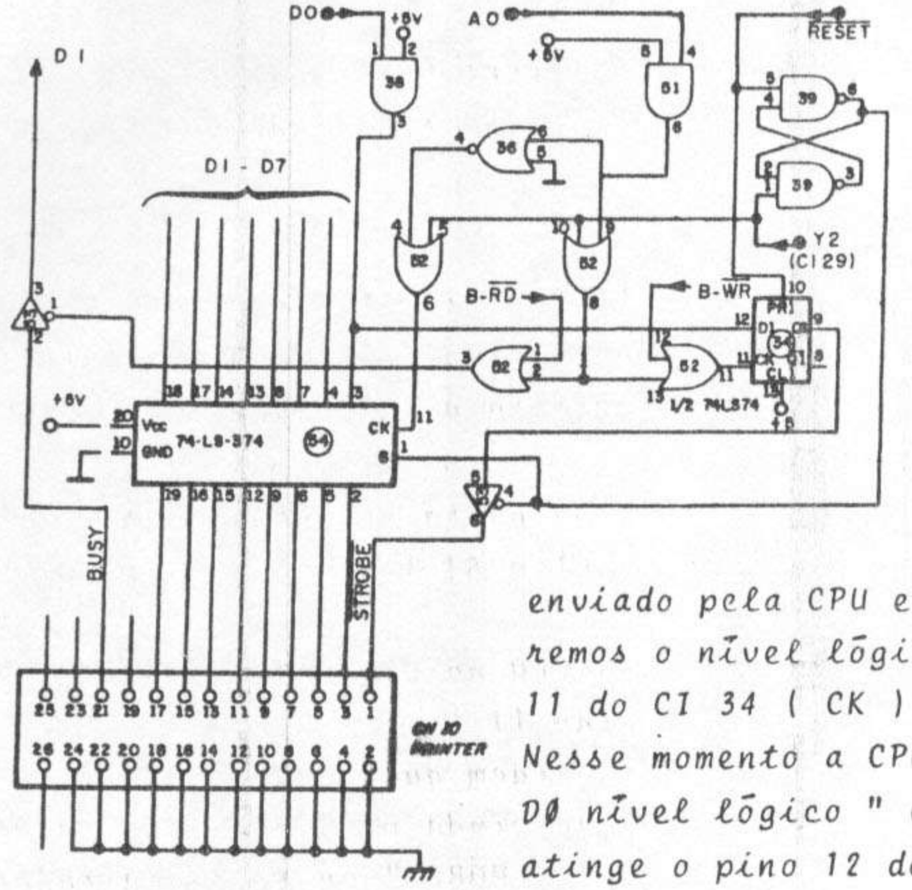
A linha de B-$\overline{RD}$ ( pino 5 ) permite a CPU ler o CI nº 4 enquanto que a linha de B-$\overline{WR}$, permite a CPU escrever nesse CI nº 4;

no caso do sinal " CHIP-SELECT " estar ATIVADO ( nível lógico " 0 " ) no pino 6 do CI nº 4.
No pino 35 recebemos a linha de " $\overline{\text{RESET}}$ ", invertida, através do inversor CI nº 42, pois o mesmo é um reset não barrado.

## IMPRESSORA

O CI nº54 consiste em 8 " FLIP-FLOP " tipo D, sendo que a ' função FLIP-FLOP é memorizar uma informação em sua saída; teremos assim à disposição da impressora a informação vinda da CPU.
Um byte enviado pela CPU através da barra de dados, serve como um " LATCH " de informação no CI nº54 ( 74LS374 ), para ' uso da impressora.
A gravação da informação vinda da CPU no CI nº54 é sincronizada através do sinal de CLOCK ( pino 11 ).
A formação do sinal de CLOCK tem origem quando a linha AØ de endereços determina se a informação vinda pela barra de dados corresponde aos sinais " BUSY ou " $\overline{\text{STROBE}}$ " ou se é uma informação que deve ser gravada no CI nº 54.
Em primeiro lugar, iremos gravar no CI 54 as informações da via de dados ( D0 - D7 ) e para isso a CPU coloca NÍVEL LÓGICO " 1 " na linha de endereço AØ.
Esse nível " 1 " atinge o CI 51, transferindo o nível lógico' " 1 " para o pino 6 do CI 36, o qual inverte o nível lógico ' para " 0 " e aplica ao pino 4 do CI 52, que recebe também o sinal do " chip-select " ( Y2 ) do CI 29, e assim estará gerado o pulso de clock para o pino 11 do CI 54 gravando nos seus " FLIP-FLOP'S " a informação da linha de dados.
O pino 1 ( G ) do CI 54 mantém-se em " 1 " colocando a saída' dos FLIP-FLOP'S em TRI-STATE.
O próximo passo é enviar um pulso "$\overline{\text{STROBE}}$ " de 500 n/seg para a impressora, permitindo que se imprima em listagem as informações gravadas no CI 54.
Para isso a linha de AØ passará para " 0 " e a informação do " chip-select " ( Y2 ) também será " 0 ". A linha de AØ pas

sa pelo CI 51 (entrando pelo pino 4 e com saída pelo pino 6)




atinge o pino 9 do CI52 e a linha Y2 atinge o pino 10 do mesmo, liberando os CI's 52 pelos pinos 2 e 13 com nível lógico " 0 ".
O pino 12 do CI52 recebe o sinal B-$\overline{WR}$ igual a "1" enviado pela CPU e, sendo assim, teremos o nível lógico " 1 " no pino 11 do CI 34 ( CK ).
Nesse momento a CPU coloca na linha D0 nível lógico " 0 " que via CI 38 atinge o pino 12 do CI 34, sendo transferido pela presença do CLOCK, para o pino 9 ( saída Q ), atingindo o CI 53 que é liberado por duas portas com função de FLIP-FLOP " RS " sendo que no pino 5 do CI 39, teremos o " $\overline{RESET}$ " igual a " 1 " e no pino 1 o sinal Y2 igual a " 0 "; assim, o pino 4 do CI 53 estará em " 0 ", liberando o pulso " $\overline{STROBE}$ ".
No caso do recebimento do pulso " BUSY ", A0 e Y2 ser igual a " 0 ". O pino 2 e 13 do CI 52 irá para " 0 ". O pino 01 receberá B-$\overline{RD}$ em " 0 " que irá liberar o CI 53 para passagem do sinal " BUSY " ( BUS de dados "D1" ), solicitando um espaço de tempo da CPU para envio de dados.

## CHIP SELECT DE MEMÓRIA

Chip Select da Memória ROM: depende de duas informações; uma delas é que a memória ROM vai de 0000 a 7FFF, isto é, ela recebe todas as linhas de endereços exceto a linha 15; pelo fato da ROM usar 32K por 8 bit's de capacidade.

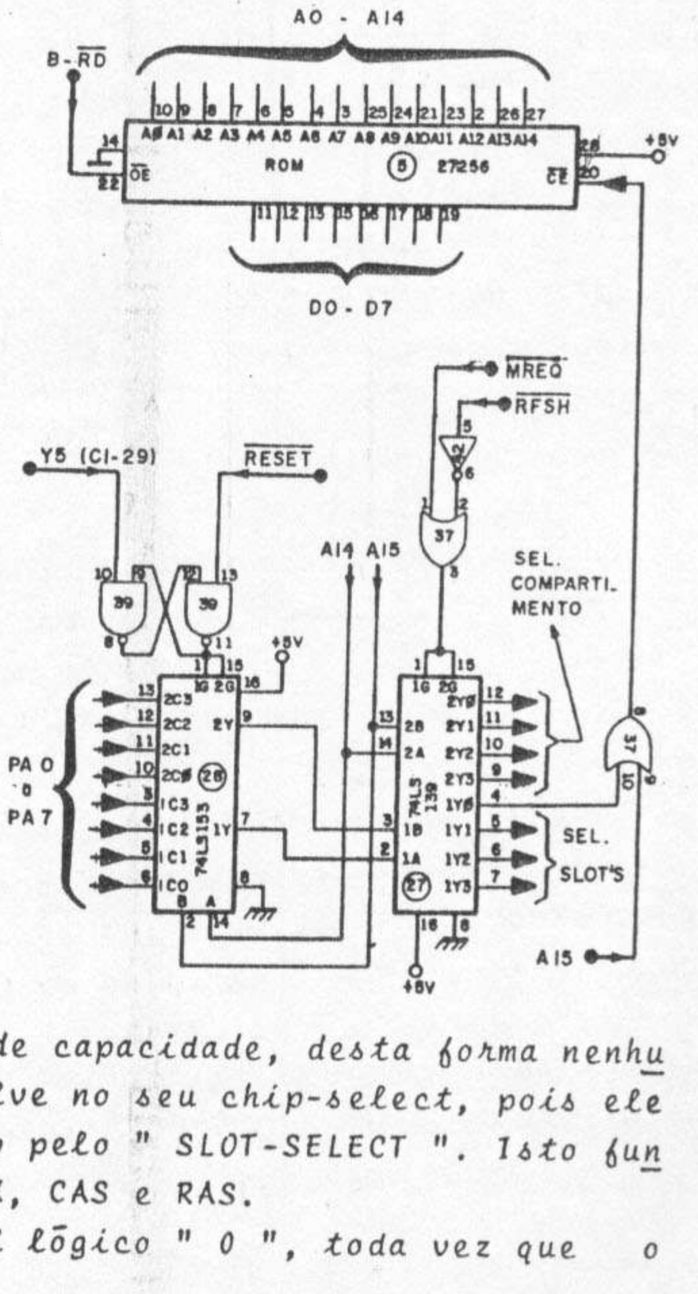
A ROM só irá funcionar se a linha A15 estiver em nível lógico " 0 ". Este sistema funciona da seguinte forma: a linha A15 é ligada a uma porta " OR " ( pino 9 do CI 37 ) sendo esta uma das informações que vão liberar o " Chip-Select " da memória' ROM.

A outra informação necessária para a liberação do CI 37 pino 10, vem do pino 4 do CI 27 que indica que o slot da ROM está ' selecionado.

Assim podemos dizer que a ROM só vai " entrar no ar " se a linha A15 estiver em " 0 " e o slot da ROM selecionado.

Acompanhando a figura deste ítem, é importante notarmos o seguinte: no momento em que acontece o " $\overline{\text{RESET}}$ " inicial o pino 13 do CI 39 leva nível "1 " aos pinos 1 e 15 do CI 28; isto produz nível " 0 " nos pinos 2 e 3 do CI 27 que irá liberar o pino 4 deste mesmo CI ' ( saída 1Y0 ) que por sua vez libera o pino 10 do CI 37, liberando a ROM.

Esta sequência de liberações garante que a ROM irá entrar no sistema, independentemente do resto do circuito, isto é, sempre que acionado a chave " POWER " logo após o " $\overline{\text{RESET}}$ ".

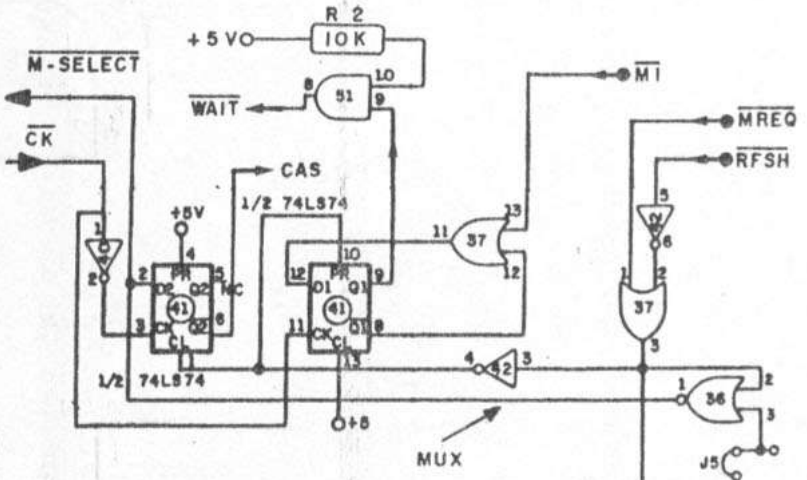



## Chip_Select da_Memória_RAM:

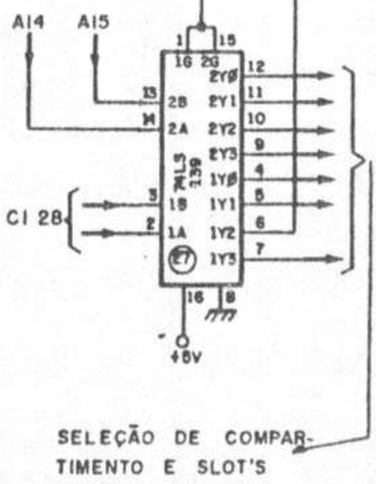
Na RAM do sistema, temos 64K de capacidade, desta forma nenhuma linha de endereços se envolve no seu chip-select, pois ele deve ser simplesmente liberado pelo " SLOT-SELECT ". Isto funciona da seguinte maneira: MUX, CAS e RAS.

No pino 6 do CI 27 sairá nível lógico " 0 ", toda vez que o

SLOT-2 ( onde se localiza a RAM ) for selecionado.
Esta informação vai até o " jamper " J5, entra no pino 3, sai pelo pino 1 do CI 36 entrando no pino 2 do FLIP-FLOP CI 41; A saída pino 06 do FLIP-FLOP CI 41 gera o sinal de " CAS " que dá acesso a todos os blocos da RAM, no sentido coluna.
No entanto, para que esse processo aconteça, há necessidade ' de fornecer ao FLIP-FLOP CI 41 pino 3 um " CLOCK ", o qual é dado pela linha CLOCK do sistema, significando portanto que ' ele estará sempre presente.
Além disso, o pino 2 do CI 41 vai produzir o sinal " Memory - Select " que faz com que a chave de endereçamento contida nos CI's 22 e 23 selecione a 1ª ou 2ª metade do endereço fornecido. Na sequência descrita acima temos o sinal " MUX " que dá origem ao sinal " Memory-Select " vinda do pino 02 do CI 41, e o sinal " CAS " ' vindo da saída Q2 do CI 41 ( pino 6 ).




A linha RAS é gerada pela linha " Memory Request " ( MREQ ) que através da R 120, é distribuida a cada um dos CI's que compõem a RAM.
Se em determinado momento a linha M1 for para " 0 ", ela irá levar este nível ao pino 13 do CI 37 que por sua vez vai produzir o nível " 0 " na saída do CI 37 pino 11, e portanto, na entrada " D " do FLIP-FLOP - CI 41 ( pino 12 ).

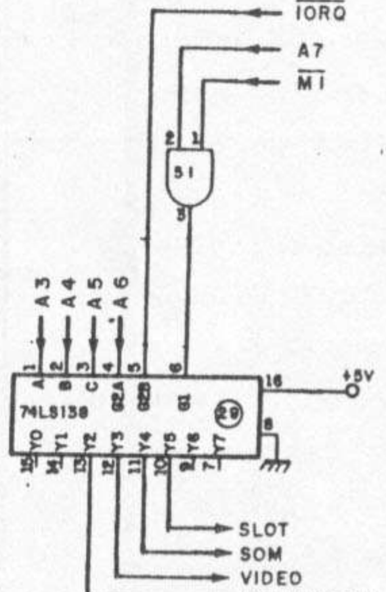



No próximo pulso de CLOCK do sistema, o nível " 0 " de " D " será colocado na saída Q1 do CI 41. Essa saída Q1 vai produ-

zir um pulso de " $\overline{WAIT}$ " via CI 51 pinos 9 e 8, para a CPU , atrasando um pouquinho um dos ciclos de leitura em memória. Isto acontece pelo fato da memória RAM dinâmica usada no sistema ser ligeiramente mais lenta do que poderia ser quando o acesso é feito para leitura de instrução.
É importante lembrar que numa leitura normal de memória existe aproximadamente 250 mS de folga para a realização dessa ' leitura, mas nas leituras de instruçoes estes 250 mS ficam reduzidos. Para isto este FLIP-FLOP existe para provocar um pequeno alargamento correspondente a um pulso de clock que retarda o ciclo de leitura ( $\overline{WAIT}$ ) .

## CHIP SELECT I/O

É composto basicamente de 02 CI's. O CI nº 29 é uma chave seletora de 03 entradas e oito saídas. As 03 entradas são " A, B e C " ( que vêm das linhas A3, A4 e A5 de endereços ).
Das 8 saídas, somente 4 são usadas para comandar os " CHIP - SELECT ": ( Y2 ) IMPRESSORA, ( Y3 ) VÍDEO, ( Y4 ) SOM e ( Y5) SLOT.
O CI 29 recebe ainda as entradas " G2A, G2B e G1.
A entrada G2A e G2B são ligadas respectivamente às linhas A6' de endereços e linha $\overline{IORQ}$ , ambas estão em nível " 0 " para ' que possa funcionar.
A entrada G1 deve estar sempre em nível " 1 "; para que isto aconteça a porta ' da CI 51 ( pino 3 ) deve estar em nível " 1 ", portanto as entradas 1 e 2 dela devem estar também em nível " 1 ".
Isto significa que a linha A7 de endereços deve estar fixa em nível " 1 " durante o acesso aos I/O's; bem como a linha $\overline{M1}$ também deve estar em nível " 1 ".
E importante lembrar que a CPU nunca ' vai buscar uma instrução em um I/O; por



| ENTRADAS | | | | | | SAÍDAS | | | | FUNÇÕES DAS SAÍDAS |
|---|---|---|---|---|---|---|---|---|---|---|
| A 3 | A 4 | A 5 | A 6 | $\overline{IORQ}$ | A7 / $\overline{M1}$ | Y2 | Y3 | Y4 | Y5 | |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | SLOT'S |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | SOM |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | VÍDEO |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | IMPRESSORA |

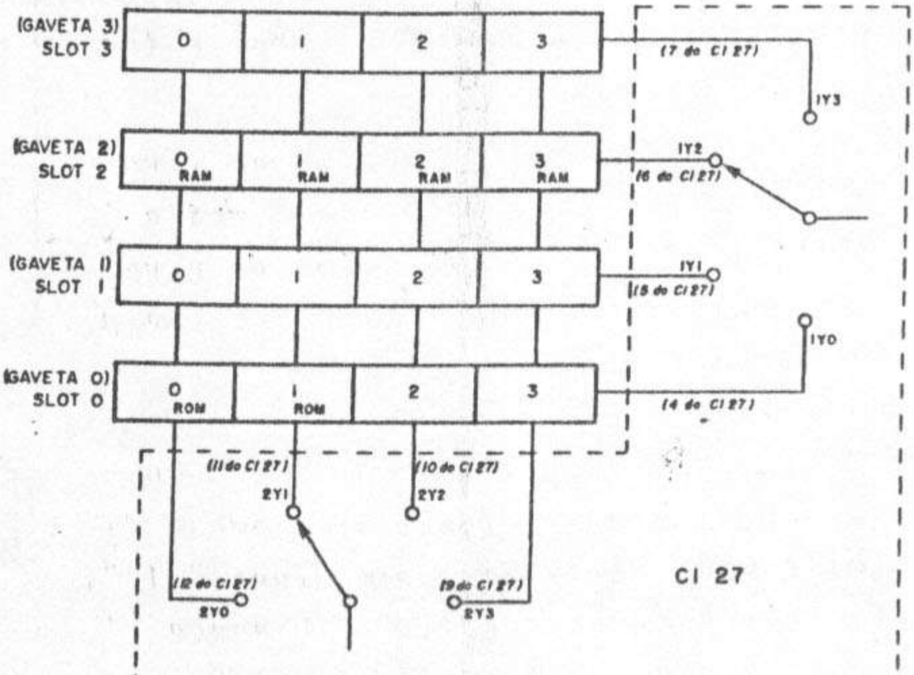
tanto a linha $\overline{M1}$ nunca estará em nível " 0 " durante um acesso a I/O.

Verificando a tabela que estamos apresentando, poderemos entender bem claro o chaveamento dos " CHIP-SELECT - I/0 ".

## SLOT SELECT DE MEMÓRIA

Conforme mostramos no desenho a seguir, a memória do "EXPERT" pode ser descrita como um conjunto de 04 gavetas, cada uma delas subdividida em 04 compartimentos de 16K, dando uma capacidade total de 256K ( 16 compartimentos de 16K ).

Cada uma das gavetas é denominada de SLOT ( SLOT's 0, 1, 2 e 3 ).



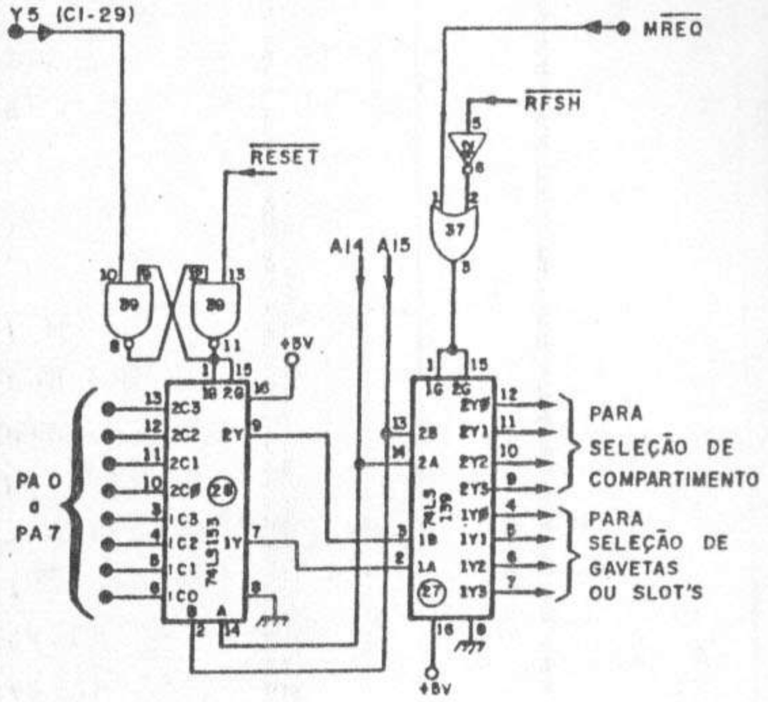

A memória ROM do sistema está contida nos 02 primeiros compartimentos do SLOT " 0 " ( zero ).

A memória RAM está contida nos 4 compartimentos do SLOT " 2 ".

O CI responsável pela seleção das gavetas (SLOT's) é o CI 27; a saí

da 1Y0 ( pino 4 ) indica quando a CPU quer ler o SLOT " 0 " ' ( zero ); da mesma forma as saídas 1Y1, 1Y2 e 1Y3 do mesmo CI 27 farão a escolha dos SLOT's 1, 2 e 3.
Ainda no CI 27 as saídas 2Y0, 2Y1, 2Y2 e 2Y3 irão escolher os compartimentos que serão lidos dentro de cada uma das gavetas escolhidas.
As duas chaves do CI 27 trabalham juntas.
Resta sabermos como ou quem comanda essas duas chaves. Sendo assim, veremos que os compartimentos dentro de cada uma das gavetas são selecionadas pelas saídas 2Y0, 2Y1, 2Y2 e 2Y3 que são escolhidas pelas entradas dos pinos 13 e 14 do CI 27, ligadas às linhas A15 e A14 da CPU; isto é, é a CPU quem decide qual a posição será lida nas gavetas.
A escolha de qual gaveta será aberta é feita pelo SOFTWARE.
Isto é feito da seguinte maneira: a CPU manda através de uma instrução, pela barra de dados, um byte que irá entrar na porta A do CI 04 ( 8255 ).
Esse valor gravado na porta A ( PA∅ - PA7 ) fornece para as ' entradas 1C∅, 1C1, 1C2, 1C3, 2C∅, 2C1, 2C2 e 2C3 do CI 28, onde 8 informações de entrada são agrupadas em 02 blocos de 4 bit's, sendo que cada bloco de 4 bit's corresponde a uma gaveta.
O CI 28 recebe também as entradas A14 e A15 ( pinos 2 e 14 ) que também vêm do endereçamento da CPU e ele consegue misturar as duas informações de forma que, para cada região de endereçamento que a CPU estiver lendo em determinado instante, a informação seja retirada do compartimento acessado.
Por exemplo: se na porta " A " do 8255 estivermos de PA∅ - ' PA7 em nível " 0 ", qualquer que seja a região da memória que estiver sendo acessada, todas as informações serão retiradas' da gaveta " 0 " ( SLOT " 0 " ).
Se as linhas A14 e A15 forem iguais a nível " 0 " iremos selecionar na gaveta " 0 " o compartimento " 0 ", isto quer dizer que vai ser procurado uma informação na " ROM " de 0 a 16K.
Outro exemplo é se na porta A do 8255 estiver o PA2 em " 1 ",

PA2 em " 0 " e na entrada do CI 27 a linha A14 em " 1 " e A15 em " 0 ", iremos selecionar o SLOT ( 2 ) e o compartimento ( 1 ), com isso teremos livre acesso a memória RAM na faixa de 16K a 32K.



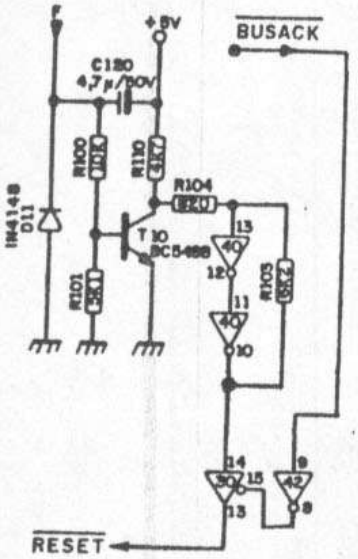

Sendo assim, temos que a chave existente no CI 27 durante o funcionamento do sistema está constantemente " pulando " entre os SLOT's 0 e 2 e entre os SLOT's 1 e 3 até que se introduza alguma informação a mais em alguns dos compartimentos disponíveis nos SLOT's 1 ou 3 ( através dos SLOT's frontais ).

Isto fará com que a CPU altere a programação de leitura das memórias, indo buscar informação nas gavetas e compartimentos ocupados pela introdução das expansões.

Os ciclos de leitura permanecem sempre desta forma, exceto por ocasião do RESET que força a presença de nível lógico "0" nas saídas do CI 27 pino 4 ( 1Y∅ ), de forma que seja lido inicialmente o conteúdo da ROM no SLOT " 0 ".

RESET

O princípio de funcionamento do circuito de RESET é o seguinte: Ao ligar o aparelho o capacitor C 120 está descarregado, comportando-se desta forma, como um curto circuito, colocando-se a tensão de +5V na base do transistor T10, provocando a condução do mesmo, fazendo aparecer em R 104 nível lógico "0". Esse nível " 0 " atingirá consequentemente o pino 13 do CI 40 provocando na saída ( pino 12 ) nível " 1 ", que vai automaticamente por no pino 10 do outro CI 40 nível lógico " 0 ".



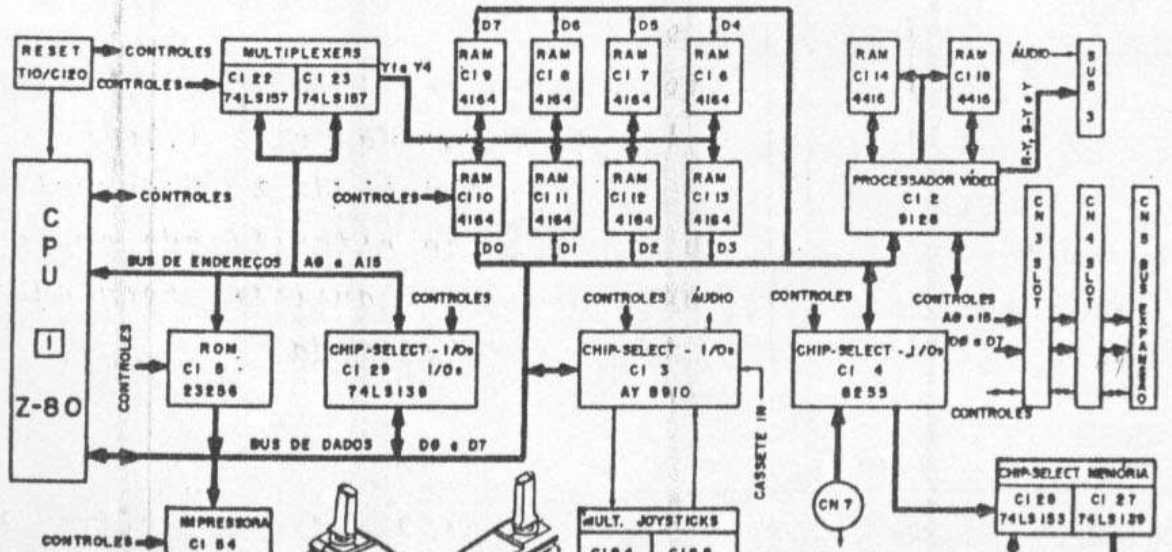

Com isso o BUFFER CI 30 recebe nível lógico " 0 " no pino 14 e via pino 13 aplica-o à CPU ( o pulso de $\overline{\text{RESET}}$ ).

Porém, o CI 30 poe ser um BUFFER " TRI - STATE " recebe no pino 15 o comando do CI 42 que atua com o pulso de $\overline{\text{BUSACK}}$, com nível lógico " 1 ", liberando o pino 15 do CI 30.

O nível " 0 " do $\overline{\text{RESET}}$ permanecerá nessa condição enquanto o capacitor C 120 estiver carregado; no entanto, com a alimentação conectada a carga desse capacitor , acontece a diminuição da corrente de base de T10, levando-o ' ao corte e consequentemente elevando a tensão em R 104 para ' +5V, invertendo todo o processo, levando o $\overline{\text{RESET}}$ na CPU para nível " 1 ", terminando dessa forma o processo de $\overline{\text{RESET}}$.

Esta sequência só irá se repetir ao desligarmos o aparelho e' ao ligarmos novamente, pois o diodo D11 descarrega o capacitor C 120 colocando-o novamente na condição inicial.

## DIAGRAMA EM BLOCO DA CPU



## PLACA ANALÓGICA

### FONTE DE ALIMENTAÇÃO

A fonte de alimentação para o XP-800 " EXPERT " está inserida na placa analógica.

### FONTE +12V ( ESTABILIZADA )

Essa placa contém 3 circuitos de alimentação regulada que fornecem +12V, -12V e +5V.
A fonte de +12V recebe entre os pinos 1 e 2 do conector CN1, uma tensão de 14,7V AC, vinda do secundário do transformador de força ( pinos 5 e 6 ).
Essa tensão é retificada pelo D1 e filtrada pelo C1. O transistor Q1 é o referenciador de tensão e o Q8 é o comparador que pega uma amostra da tensão de saída ( +12V ), via R14 e R15, para sua base e o D8 ( 9,1V ) estabiliza o seu emissor, determinando assim uma tensão para a base do Q9 ( regulador de +12V ) com saída no conector CN6 ( pino 1 ).
Da fonte de +12V deriva uma saída de +9V através do ZENER D11 para uso na própria placa analógica.

### FONTE -12V ( ESTABILIZADA )

A fonte de -12V aproveita a tensão de 14,7V AC que, retificada pelo D2 e filtrada por C2, é aplicada ao Q2 ( referenciador ). O transistor Q7 compara a tensão de saída de -12V ( conector CN6, pino 3 ) com a tensão estabilizada em seu emissor por D9 ( -9,1V ) e aplica ao transistor regulador Q6 para que a saída dos -12V seja estabilizada.

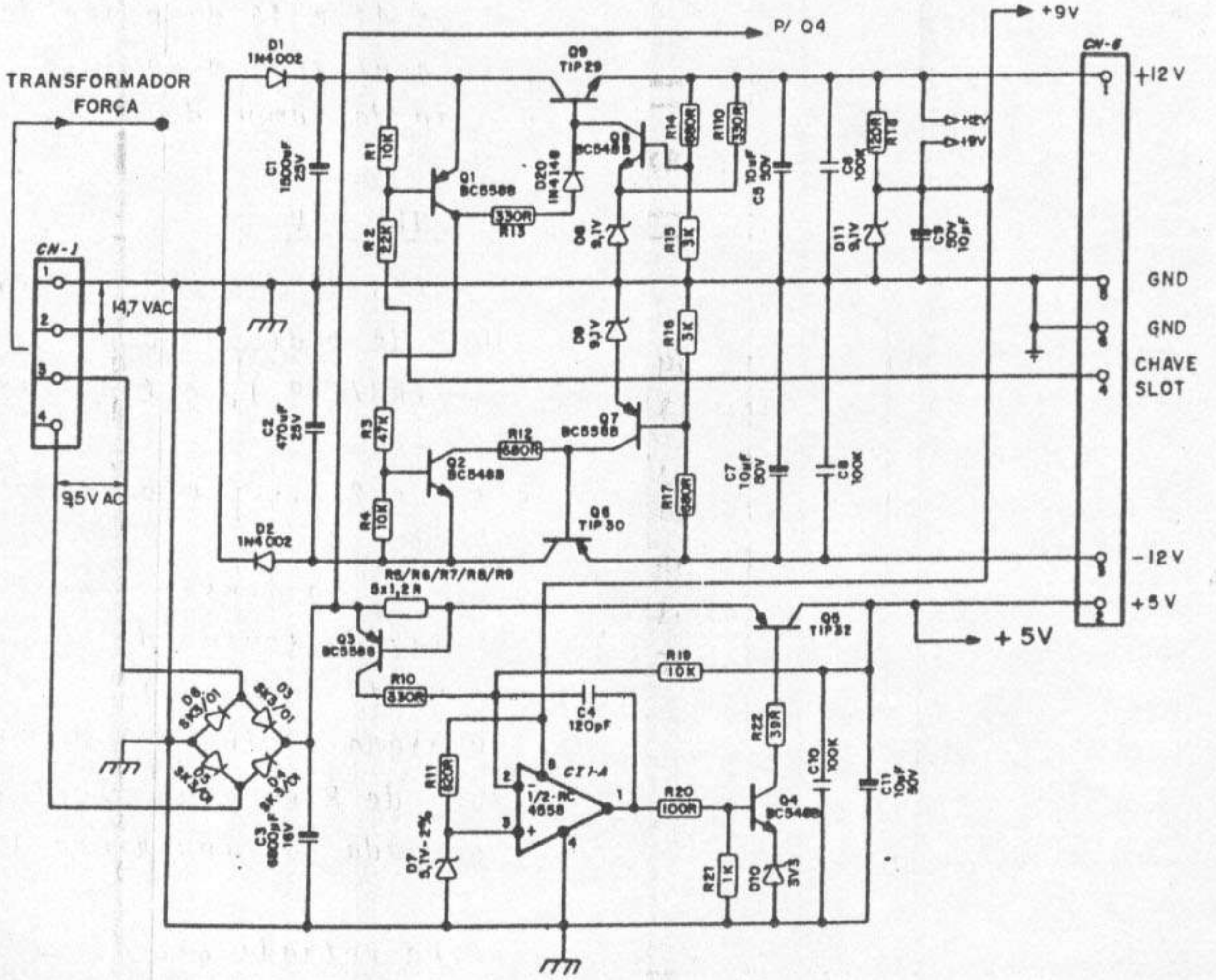
### FONTE +5V ( ESTABILIZADA )

A fonte de +5V recebe entre os pinos 3 e 4 do conector CN1 uma tensão de 9,5V AC, vinda do secundário do transformador de força ( pinos 7 e 8 ).

A tensão de 9,5V AC é aplicada à ponte retificadora formada' pelos diodos D3, D4, D5 e D6 e filtrada pelo C3.

O CI-1A é um amplificador de erro, tendo uma porta não inver sora ( pino 3 ) com tensão estabilizada de +5,1V por D7, e uma porta inversora com tensão vinda da ponte retificadora , via Q3 e R10, indo ao pino 2 do CI-1A.

A R20 aplica na base do Q4 a tensão de erro amplificada e Q4 compara a tensão da base com a do emissor que é estabilizada em +3,3V pelo D10, e envia para a base do Q5 ( regulador ) ' para corrigir a tensão de saída estabilizada em +5V, no co - nector CN6 ( pino 2 ).




## CHAVEAMENTO DE TENSÕES PELOS SLOT'S

O pino 4 do conector CN6 ( ligado a Q1 através de R2 ) tem ' por função o desligamento das três fontes básicas, durante a

inserção de cartuchos, em um dos SLOT'S frontais da CPU.
Esse pino 4 é mantido aterrado pelo circuito circuito formado pelas MICRO-SWITCHS ( Micro Chaves ) das tampas dos SLOTS ( ver na placa da CPU PCI 361 ) enquanto estas estiverem fechadas.
Com a abertura de uma das tampas o pino 4 é desligado da terra, despolarizando a base do Q1, e este cortando o Q2, interrompe as correntes de base do Q9 e Q6 respectivamente.
A queda das tensões de +12V e -12V causa uma queda no +9V e, sendo assim, a tensão de referência da fonte de +5V ( ZENER' D7 ) cai, provocando a queda da saída regulada de +5V.
Após a inserção do cartucho, as fontes são religadas através de um JAMPER existente entre os pinos 44 e 46 do pente de ' contato do PCI do cartucho, curto-circuitando o contato do MICRO-SWITCH que foi aberto pela ação da tampa do SLOT.

## PROTEÇÃO CONTRA CURTO-CIRCUITO NA FONTE +5V

A fonte de +5V contém ainda um circuito de proteção contra ' curto-circuito formado por: um SHUNT de medição composto de 5 resistores de 1,2 Ω ( R5//R6//R7//R8//R9 ), o transistor' Q3 e o resistor R10.
O limite de corrente se dá entre 1,8 e 2 A. O mecanismo de funcionamento é simples e bem conhecido.
Quando a corrente se aproxima do limite, a tensão desenvolvida sobre o SHUNT começa a se aproximar da tensão de VBE necessária para ativação de Q3 ( por volta de 0,6V ).
Com a ativação de Q3 a entrada inversora ( pino 2 ) do operacional ( CI1A ) será levada, através de R10, a um nível de ' tensão muito próximo ao nível da entrada não inversora ( pino 3 ).
A diminuição da tensão diferencial na entrada faz a saída do operacional ( pino 1 ) excursionar negativamente, limitando' a corrente de coletor de Q4, que controla a condução de Q5.
A função do zener D10 é manter a tensão do emissor de Q4 a um nível que garanta o controle da corrente de base do mesmo

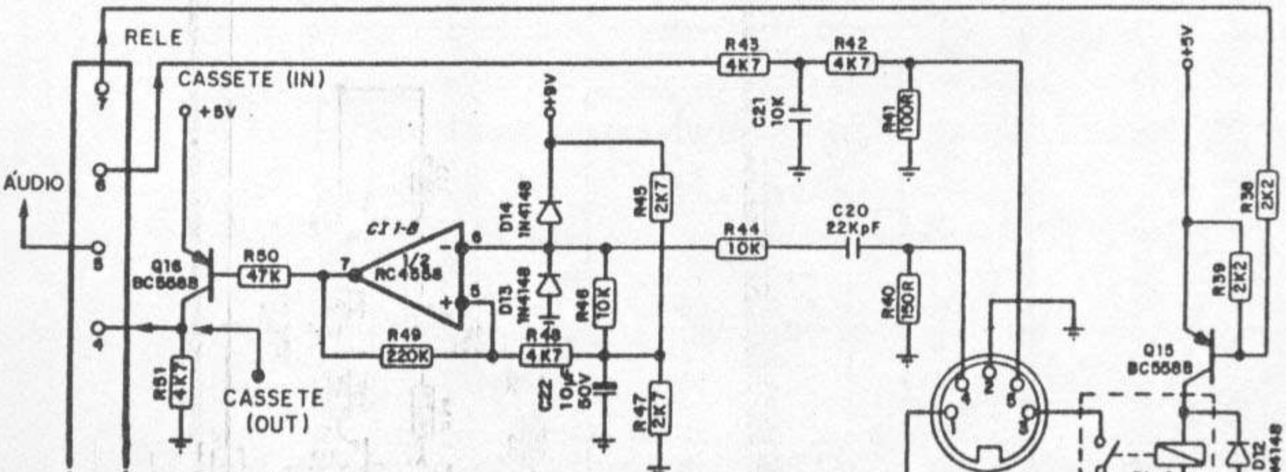
uma vez que a saída do operacional ( CI-1A ) não consiga descer a um nível inferior a 1V, o que impossibilitaria o corte de Q4.
A fonte de +5V é protegida contra curtos momentâneos, e não por tempo indefinido.

## INTERFACE DE CASSETE

O circuito de interface de cassete é composto basicamente de 3 partes a saber: Quadrador do sinal de entrada, filtro do sinal de saída para gravação e chaveador remoto para controle automático do motor do gravador.

## QUADRADOR DE SINAL DE ENTRADA

E formado pelo outro operacional CI-1B ( duplo operacional ) que está configurado como um comparador.
Os diodos D13 e D14 tem a função de proteger a entrada do operacional ( pino 6 ) contra níveis excessivos de sinal.
O capacitor C22 faz desacoplamento de sinais para massa, garantindo assim alto ganho " AC " para o circuito.
O resistor R49 é muito importante pois, pelo efeito de realimentação positiva, impõe uma faixade histerose necessária à estabilidade nas transições do comparador.




A R50 aplica a informação resultante do CI-1B à base do Q16, com saída pelo emissor do mesmo, atingindo o pino 4 do conec

tor CN-7.

## FILTRO DE SINAL DE SAÍDA PARA GRAVAÇÃO

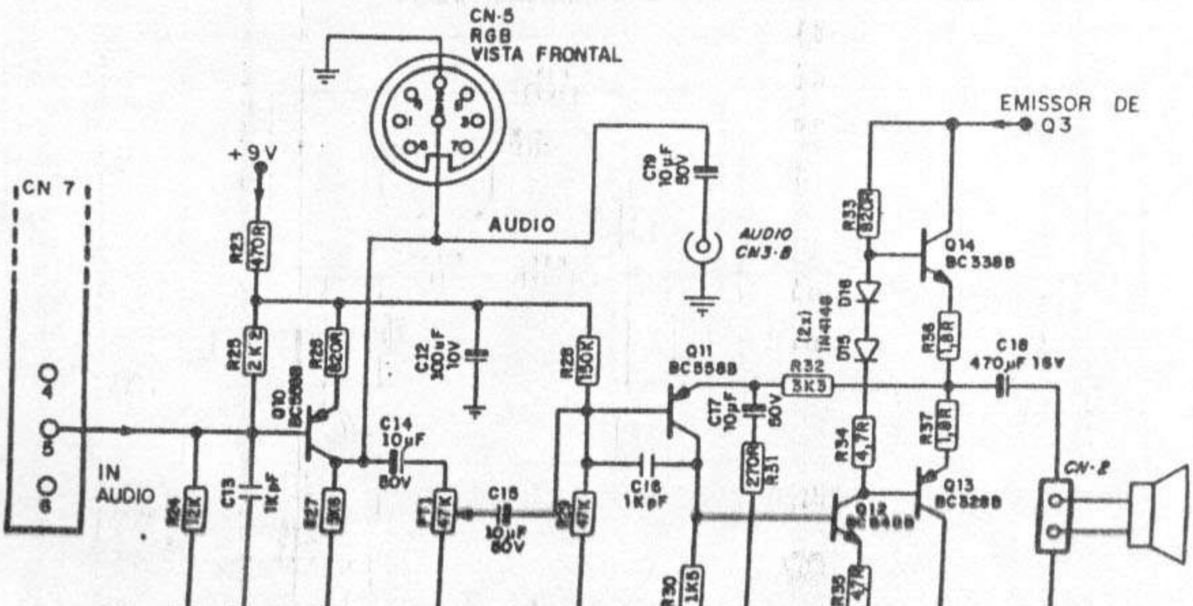
É formado pelos componentes: R43, R42, R41 e C21, sendo sua função eliminar os componentes harmônicos de alta frequência do sinal quadrador, proveniente do PCI 361, tornando sua forma mais próxima de uma senoide que é mais própria para gravadores cassete normais.
Além disso, tal circuito tem o efeito de um divisor resistivo de tensão, adequando o nível de saída para gravação, pois o nível de sinal do pino 6 do CN-7 é padrão TTL ( 5VPP ).

## CHAVEAMENTO REMOTO DO MOTOR DO GRAVADOR

Um sinal vindo da PLACA da CPU, entrando no pino 7 do CN-7 , atinge a base do Q15 chaveando a tensão de +5V para o " RL-1" o qual interliga os pinos 1 e 3 do CN-4.
O D12 é uma proteção para a bobina do " RELE " ( RL-1 ).

## CIRCUITO DE AUDIO

O sinal de audio vindo da CPU atinge o CN-7 pino 5, que entrega o sinal para a base do Q10 ( Pré-Amplificador ).



Do coletor do Q10 o sinal de audio pré-amplificado é enviado para o conector CN-5 pino 8 e, via PT1 ( controle de volume' externo ), o sinal é aplicado ao amplificador de potência ' " Push-Pull " formado pelos transistores: Q11, Q12, Q13 e ' Q14 e, via C18, é aplicado ao CN-2 sendo interligado ao alto falante.

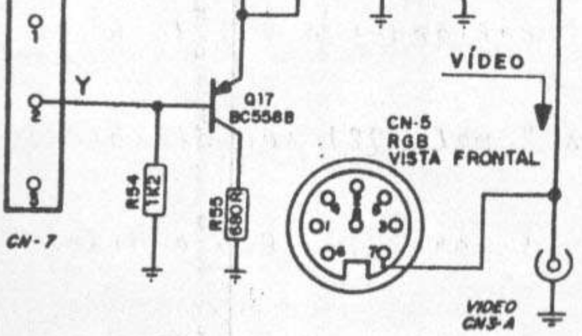
## CIRCUITO DE VÍDEO

A partir da placa digital ( CPU ) o CI 02 ( Processador Display de Vídeo ( 9128 ) ) fornece os sinais " B-Y " pelo pino 1, " Y " pelo pino 2 e " R-Y " pelo pino 3 do conector SUB3. Através dos sinais ( B-Y )-Y e ( R-Y ), o setor de circuitos de vídeo da placa analógica compõe os seguintes sinais:

- Y OUT, através de um circuito " BUFFER "
- SYNC OUT, através de um circuito ceifador de sincronismo
- RGB, através de um circuito " MATRIZ "

## SAÍDA DE LUMINÂNCIA ( Y-OUT )

A saída Y envia um sinal de vídeo composto monocromático via tomada " RCA " CN-3 e pino 7 da tomada " DIN " CN-5.



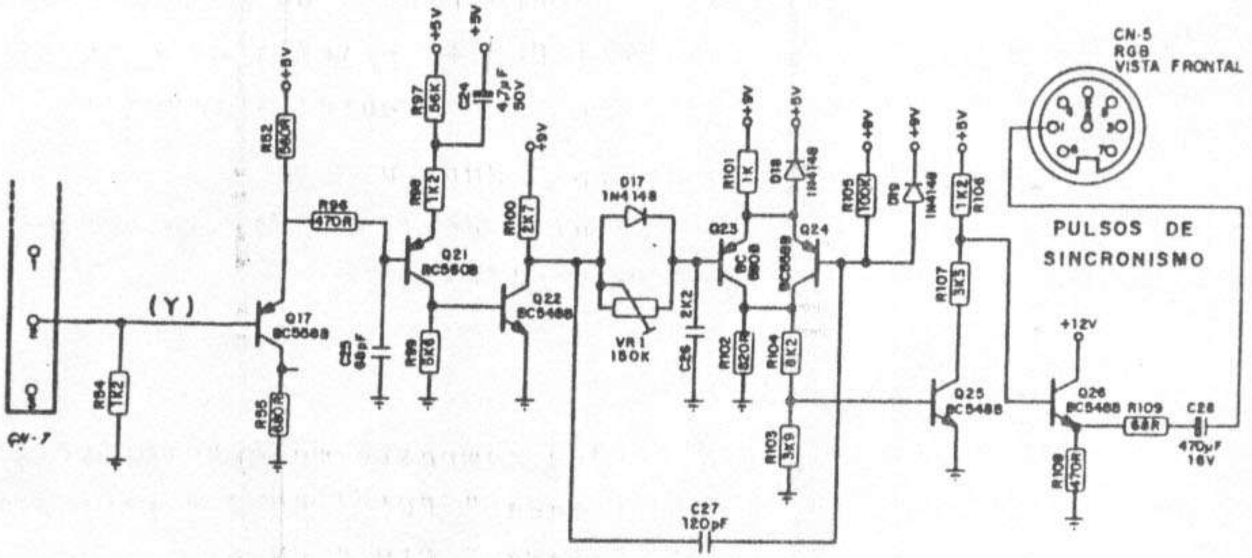

Este sinal é utilizado por monitores de vídeo monocromáticos. O sinal de luminância ( Y ) fornecido pelo pino 36 do VDP, entra na placa analógica através' do CN-7. Este sinal passa por três estágios amplificadores de corrente Q17, Q18 e Q19. Desta maneira, o sinal Y que sai via C23, apesar de manter a mesma amplitude inicial fornecida pela VDP, possui potência suficiente para desenvolver " 1VPP " em monito-

res de vídeo com entrada de 75 .

SINCRONISMO ( SYNC-OUT )

A partir do mesmo sinal Y fornecido pela " VDP ", pino 36, é produzido por este circuito ceifador de sincronismo o sinal' de sincronismo composto ( vertical e horizontal numa só saída ).

O sinal de " SYNC " é utilizado em monitores do tipo " RGB " e também em codificadores do sistema " NTSC / PAL-M ".




O sinal de luminância, vindo da CPU atinge a base do Q17 e via R96 atinge o Q21.

O C24, R97 e R98 permitem a Q21 o ponto de polarização para' que este transistor separe apenas os pulsos de sincronismo ' do sinal de luminância que estão localizados a 75% do nível' total do sinal de luminância.

Em seguida esses pulsos " ceifados " pelo Q21 são dirigidos' para Q22 para devida amplificação.

A seguir estes pulsos são integrados por VR1 e C26 e diferenciados por C27 e R105.

O VR1 regula a largura do pulso vertical.

O Q23, Q24 e Q25 são responsáveis na atuação de ondas quadradas e de larguras definidas para o pulso de sincronismo.

Esses pulsos são entregues para Q26 dar a amplificação de corrente necessária; e através de C28 os pulsos de sincronismo são entregues ao pino 1 do CN-5.

MATRIZ ( RGB-OUT )

Os sinais R, G e B são obtidos a partir das seguintes equações:

a) Y . ( -1 ) = -Y

b) ( B-Y ) . ( -1 ) = ( Y-B )
( Y-B ) + ( -Y ) = -B
-B . ( -1 ) = B

c) ( R-Y ) . ( -1 ) = ( Y-R )
( Y-R ) + ( -Y ) = -R
-R . ( -1 ) = R

d) 0,19 ( B-Y ) + 0,51 ( R-Y ) = ( Y-G )
( Y-G ) + ( -Y ) = -G
-G . ( -1 ) = G

OBTENÇÃO DO SINAL ( -Y )

O sinal de luminância ( Y ) fornecido pelo pino 36 da VDP, passa pelo coletor de Q17 sofrendo uma inversão de 180º, transformando-se em ( -Y ).
Em seguida o sinal ( -Y ) passa por dois estágios amplificadores de corrente, Q20 e Q28, a fim de produzir a potência necessária para alimentar com ( -Y ) os circuitos formados por Q29, Q30 e Q31.

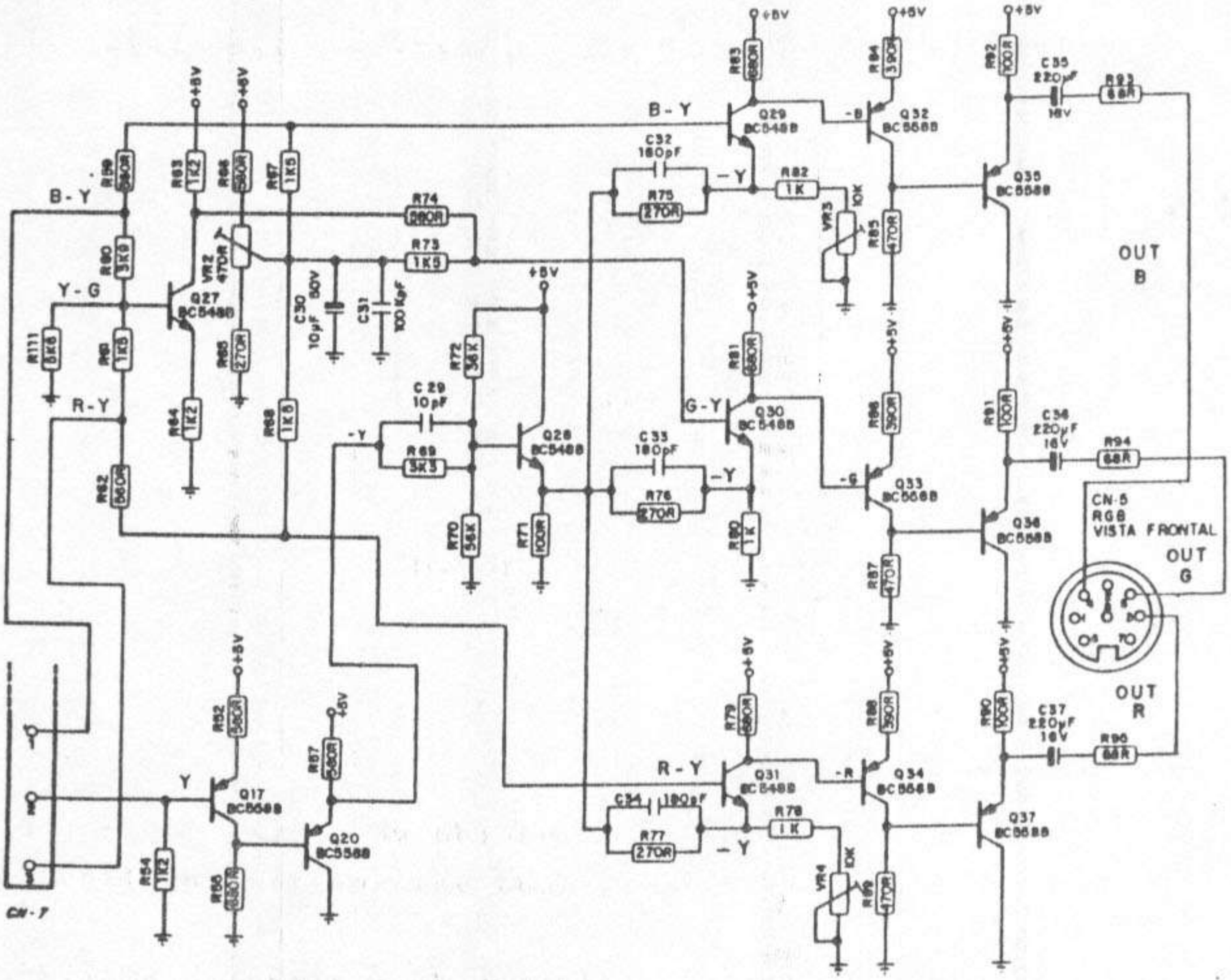
OBTENÇÃO DO SINAL ( B )

O sinal ( B-Y ) vindo do pino 35 da VDP passa por R59 e é injetado na base do Q29. Do coletor do Q29 o sinal sai invertido, transformando-se em -( B-Y ), ou seja ( Y-B ). Porém, nesse mesmo instante, entra pelo emissor de Q29 o sinal (-Y) fornecido por Q28 via C32 e R75. Esse sinal -Y injetado no

*emissor de Q29 não sofre inversão no coletor. Desta maneira aparece no coletor de Q29 a resultante da seguinte soma:*

*( Y-B ) + ( -Y ) = -B*

*O sinal ( -B ) sofre inversão no Q32 transformando-se em B .*




*Através de Q35, o sinal B recebe uma amplificação de corrente e daí é enviado via C35, R93 ao pino 4 do CN-5.*

## OBTENÇÃO DO SINAL ( R )

*Este sinal é obtido de maneira análoga ao do sinal de B.*
*O sinal ( R-Y ) vindo do pino 38 da VDP passa por R62 e é injetado à base do Q31, saindo invertido no coletor, transformando-se em -( R-Y ), ou seja ( Y-R ).*
*Nesse instante, entra pelo emissor de Q31 o sinal ( -Y ) fornecido por Q28.*

Este sinal ( -Y ), injetado no emissor de Q31 não sofre inversão no coletor; desta maneira, aparece no coletor a seguinte resultante :

( Y-R ) + ( -Y ) = -R

O sinal ( -R ) sofre inversão no Q34, transformando-se em R. Através de Q37 o sinal R recebe uma amplificação de corrente e, via C37, sai pelo pino 3 do CN-5 .

OBTENÇÃO DE SINAL G

Conforme a equação já vista anteriormente ( ( Y-G ) = 0,19 ( B-Y ) + 0,51 ( R-Y ) ), o resistor R60 permite a passagem de 19% do sinal ( B-Y ) que teve a entrada pelo pino 1 do CN-7.
O R61 permite a passagem de 51% do sinal ( R-Y ), que teve a entrada pelo pino 3 do CN-7.
Na junção dos resistores R60 e R61, já temos o resultado da " SOMA " da equação acima, obtendo-se nesta junção o sinal ( Y-G ).
A obtenção do sinal " G " tem o início com o sinal ( Y-G ), que é injetado na base de Q27, transformando-se em ( G-Y ) no coletor do Q27.
Este sinal ( G-Y ) segue por R74 e injetado na base de Q30. No coletor do Q30 este sinal volta a condição de ( Y-G ), e no seu emissor é injetado o sinal ( -Y ) através de Q28.
Desta maneira, no coletor de Q30 obteremos a seguinte resultante de soma:

( Y-G ) + ( -Y ) = -G

O sinal ( -G ) sofre a inversão no coletor de Q33, transformando-se em G.
Através de Q36 o sinal G recebe uma amplificação de corrente e é levado à saída, via C36, R94 e pino 5 do CN-5.

NOTA : Os componentes R66, VR2, R65, C30 e C31 formam o cir-

cuito que polariza corretamente os transistores Q29, Q30 e Q31 ( via R67, R68 e R73 ), que fazem a operação de " MATRIZAGEM " entre ( -Y ) e os sinais ( B-Y ), ( G-Y ) e ( R-Y ). O VR3 e VR4 ajustam os níveis de ( -B ) e ( -R ) para que estes se igualem ao sinal ( -G ), a fim de se obter os níveis' equivalentes às saídas R, G e B, quando estas expõem o padrão branco ou cinza.

GRADIENTE ELETRÔNICA S/A
DIVISÃO NACIONAL DE SERVIÇOS
RUA JOSÉ GUERRA, 111
04719 - SÃO PAULO - SP
FONE: 521-7122